

**PATENT APPLICATION**

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Makoto KUDO et al.

Application No.: 09/532,514

Filed: March 21, 2000

For: MICROCOMPUTER, ELECTRONIC EQUIPMENT AND EMULATION METHOD



Group Art Unit: 2782

Docket No.: 105803

RECEIVED  
JUN 23 2000  
TC 2700 MAIL ROOM

**CLAIM FOR PRIORITY**

Director of the U.S. Patent and Trademark Office  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

**Japanese Patent Application No. 11-078066 filed March 23, 1999.**

In support of this claim, certified copies of said original foreign applications:

  X   are filed herewith.

           were filed on            in Parent Application No.            filed           .

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these documents.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "James A. Oliff".

James A. Oliff  
Registration No. 27,075

Thomas J. Pardini  
Registration No. 30,411

Date: June 22, 2000

**OLIFF & BERRIDGE, PLC**  
**P.O. Box 19928**  
**Alexandria, Virginia 22320**  
**Telephone: (703) 836-6400**

**DEPOSIT ACCOUNT USE  
AUTHORIZATION**

Please grant any extension  
necessary for entry;  
Charge any fee due to our  
Deposit Account No. 15-0461

## 日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1999年 3月23日

出 願 番 号

Application Number:

平成11年特許願第078066号

出 願 人

Applicant(s):

セイコーエプソン株式会社



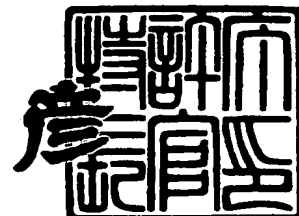
TC 100 MAIL ROOM

RECEIVED  
JUN 23 2000

2000年 3月10日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3016098

【書類名】 特許願

【整理番号】 EP174301

【提出日】 平成11年 3月23日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/22  
G06F 11/28

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 工藤 真

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 寺澤 宏文

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 宮山 芳幸

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マイクロコンピュータ、電子機器及びエミュレーション方法

【特許請求の範囲】

【請求項 1】 情報処理を行うマイクロコンピュータであって、  
命令の実行処理を行うプロセッサと、  
エミュレーションメモリと少なくとも 1 つの他の外部メモリとが接続可能な外部バスと、

エミュレーションモードがオンになった場合に、前記プロセッサの内部メモリへのアクセスが、前記外部バスを介した前記エミュレーションメモリへのアクセスに切り替わるように、前記プロセッサのバスを前記外部バスに接続するバス制御手段とを含むことを特徴とするマイクロコンピュータ。

【請求項 2】 請求項 1 において、  
エミュレーションモードのオン、オフを選択するためのモード選択端子を含むことを特徴とするマイクロコンピュータ。

【請求項 3】 請求項 1 又は 2 において、  
エミュレーションモードのオン、オフを選択するための情報を記憶し前記プロセッサがアクセス可能なモード選択レジスタを含むことを特徴とするマイクロコンピュータ。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、  
プロセッサのアドレスバスについては、エミュレーションモードのオン、オフに依存せずに外部アドレスバス及び前記内部メモリのアドレスバスに接続され、  
プロセッサのデータバスについては、エミュレーションモードがオンになった場合に外部データバスに接続されることを特徴とするマイクロコンピュータ。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、  
前記外部バスに接続される前記外部メモリを制御するための第 1 の制御信号と、  
前記外部バスに接続される前記エミュレーションメモリを制御するための、前記第 1 の制御手段とは別系統の第 2 の制御信号とを出力するメモリ制御手段を含むことを特徴とするマイクロコンピュータ。

【請求項 6】 請求項 5 において、

前記第 2 の制御信号が含む第 2 のメモリリード信号が、前記第 1 の制御信号が含む第 1 のメモリリード信号よりも早いタイミングでアクティブになることを特徴とするマイクロコンピュータ。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、

リセット後に前記プロセッサが最初にアクセスするアクセス先が前記エミュレーションメモリになる第 1 のモードと、前記アクセス先が前記内部メモリになる第 2 のモードを選択するためのモード選択端子を含むことを特徴とするマイクロコンピュータ。

【請求項 8】 請求項 7 において、

前記アクセス先が前記外部メモリになる第 3 のモードが、前記モード選択端子により選択可能なことを特徴とするマイクロコンピュータ。

【請求項 9】 請求項 7 又は 8 において、

リセット後に前記外部メモリから前記エミュレーションメモリに情報が送信され、その後に前記プロセッサが最初に前記エミュレーションメモリにアクセスする第 4 のモードが、前記モード選択端子により選択可能なことを特徴とするマイクロコンピュータ。

【請求項 10】 請求項 1 乃至 9 のいずれかのマイクロコンピュータと、

前記マイクロコンピュータの処理対象となる情報の入力源と、

前記マイクロコンピュータにより処理された情報を出力するための出力装置とを含むことを特徴とする電子機器。

【請求項 11】 命令の実行処理を行うプロセッサと、エミュレーションメモリ及び少なくとも 1 つの他の外部メモリが接続可能な外部バスとを含むマイクロコンピュータのためのエミュレーション方法であって、

マイクロコンピュータの評価時においては、前記エミュレーションメモリと前記外部メモリとで前記外部バスを共用させると共に、前記外部バスを介して前記エミュレーションメモリにアクセスし、該アクセスにより前記エミュレーションメモリから読み出される情報に基づいて前記プロセッサを動作させ、

マイクロコンピュータの製品時においては、内部メモリから読み出される情報

に基づいて前記プロセッサを動作させることを特徴とするエミュレーション方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、マイクロコンピュータ、電子機器及びエミュレーション方法に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、家庭用のゲーム装置、カーナビゲーションシステム、プリンタ、携帯情報端末、携帯電話などの電子機器に組み込まれ、高度な情報処理を実現できるマイクロコンピュータに対する需要が高まっている。

【0003】

このようなマイクロコンピュータでは、図1(A)に示すような量産用の製品チップ700以外にも、図1(B)に示すようなプログラムやシステム開発用の評価チップ710が作成される。そして、この評価チップ710では、汎用メモリ等の外部メモリ706が接続される通常の外部アドレスバス702、外部データバス704以外にも、エミュレーションメモリ（内部ROM718をエミュレーションするためのメモリ）716に専用のアドレスバス712、データバス714が設けられる。即ち、開発途中のプログラムについては、内部ROM718に記憶させずに、高速SRAM等のエミュレーションメモリ716に記憶させる。そして、プログラムのデバッグを行い、デバッグが完全に終了し完成したプログラムを内部ROM718に記憶するようにする。完成前のプログラムを内部ROM718に記憶させると、プログラムに変更が生じた場合等に、内部ROM718のマスクパターンを変更して内部ROM718を新たに作り直さなければならなくなるからである。

【0004】

このように、評価チップ710にはエミュレーションメモリ716に専用のアドレスバス712、データバス714が設けられる。従って、評価チップ710

のピン数は、製品チップ 700 の端子（ピン）数に比べて非常に多くなってしまう。このため、評価チップ 710 を実装できるパッケージの入手が困難になったり、製品チップ 700 と評価チップ 710 との端子の整合性をとるのが煩雑になるという問題が生じる。また、評価チップ 710 では正常に動作していたプログラムが、製品チップ 700 では動作しなくなるという問題も生じる。

## 【0005】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、端子数の節約を図りながら最適な評価環境を実現できるマイクロコンピュータ、電子機器及びエミュレーション方法を提供することにある。

## 【0006】

## 【課題を解決するための手段】

上記課題を解決するために本発明は、情報処理を行うマイクロコンピュータであって、命令の実行処理を行うプロセッサと、エミュレーションメモリと少なくとも1つの他の外部メモリとが接続可能な外部バスと、エミュレーションモードがオンになった場合に、前記プロセッサの内部メモリへのアクセスが、前記外部バスを介した前記エミュレーションメモリへのアクセスに切り替わるように、前記プロセッサのバスを前記外部バスに接続するバス制御手段とを含むことを特徴とする。

## 【0007】

本発明では、外部メモリとエミュレーションメモリとが接続可能な外部バス（外部バス端子）が設けられ、外部メモリとエミュレーションメモリとにより外部バスが共用可能になっている。そして、エミュレーションモードがオンになると、プロセッサの内部メモリへのアクセスが、外部バスを介したエミュレーションメモリへのアクセスに切り替わる。従って、エミュレーションモードがオフの時には、内部メモリに記憶される情報に基づいてプロセッサが動作し、エミュレーションモードがオンの時には、エミュレーションメモリに記憶される情報に基づいてプロセッサが動作するようになる。これにより、エミュレーションメモリを用いた、プログラム開発などの評価作業が可能になる。しかも、本発明によれば、エミュレーションメモリに専用のバスを設けることなく、他の外部メモリ用の



外部バスを介してエミュレーションメモリへのアクセスが行われる。従って、特に限定はされないが、評価用のマイクロコンピュータの端子と製品用のマイクロコンピュータの端子を同一形態のものにすることが可能になり、マイクロコンピュータの端子数の節約を図りながら最適な評価環境を実現できるようになる。

【0008】

なお、外部バスは、外部メモリとエミュレーションメモリとが接続可能であれば十分であり、例えば製品時においては、エミュレーションメモリを外部バスに接続する必要はない。

【0009】

また、プロセッサの内部メモリへのアクセスは、内部メモリが割り当てられるメモリ空間のエリアへのアクセスであれば十分であり、例えば評価時においては、内部メモリをマイクロコンピュータに実際に内蔵させる必要性は必ずしもない。

【0010】

また、製品時において、エミュレーションに必要な回路を恣意的に排除したり、エミュレーション機能を無効にしたようなマイクロコンピュータも、本発明の均等な範囲に含まれる。

【0011】

また本発明は、エミュレーションモードのオン、オフを選択するためのモード選択端子を含むことを特徴とする。このようにすれば、内部メモリに記憶されるプログラムなどの情報を書き換えるとなく、製品時にエミュレーションモードをオフにすることが可能になる。

【0012】

また本発明は、エミュレーションモードのオン、オフを選択するための情報を記憶し前記プロセッサがアクセス可能なモード選択レジスタを含むことを特徴とする。このようにすれば、マイクロコンピュータの端子への信号の設定を変更することなく、ソフトウェア処理によりエミュレーションモードのオン、オフを切り替えることが可能になる。

【0013】

なお、本発明では、プロセッサのアドレスバスについては、エミュレーションモードのオン、オフに依存せずに外部アドレスバス及び前記内部メモリのアドレスバスに接続され、プロセッサのデータバスについては、エミュレーションモードがオンになった場合に外部データバスに接続されるようにしてもよい。

## 【0014】

また本発明は、前記外部バスに接続される前記外部メモリを制御するための第1の制御信号と、前記外部バスに接続される前記エミュレーションメモリを制御するための、前記第1の制御手段とは別系統の第2の制御信号とを出力するメモリ制御手段を含むことを特徴とする。このようにすれば、外部メモリを制御する第1の制御信号とは別系統の第2の制御信号で、エミュレーションメモリを制御できるようになる。これにより、外部メモリが接続される外部バスを用いてエミュレーションメモリへのアクセスを行った場合にも、エミュレーションメモリへの適正なアクセスを実現できるようになる。

## 【0015】

また本発明は、前記第2の制御信号が含む第2のメモリリード信号が、前記第1の制御信号が含む第1のメモリリード信号よりも早いタイミングでアクティブになることを特徴とする。このようにすれば、例えばエミュレーションメモリに記憶される命令をプロセッサが1クロックサイクルでフェッチしデコードしなければならない等の制約がある場合にも、このような制約に容易に対応できるようになる。

## 【0016】

また本発明は、リセット後に前記プロセッサが最初にアクセスするアクセス先が前記エミュレーションメモリになる第1のモードと、前記アクセス先が前記内部メモリになる第2のモードを選択するためのモード選択端子を含むことを特徴とする。このようにすれば、評価時には第1のモードを選択し、製品（実動作）時には第2のモードを選択することが可能になり、プログラム開発などの評価作業の効率化を図れるようになる。

## 【0017】

また本発明は、前記アクセス先が前記外部メモリになる第3のモードが、前記

モード選択端子により選択可能なことを特徴とする。このようにすれば、外部メモリからのブートが可能になり、幅広い層のユーザの要望に応えることができるようになる。

【0018】

また本発明は、リセット後に前記外部メモリから前記エミュレーションメモリに情報が送信され、その後に前記プロセッサが最初に前記エミュレーションメモリにアクセスする第4のモードが、前記モード選択端子により選択可能なことを特徴とする。このようにすれば、エミュレーションメモリの情報が消失する毎に、エミュレーションメモリに情報をダウンロードしなければならない等の手間を省くことが可能になり、評価作業の効率化を図れるようになる。

【0019】

また本発明に係る電子機器は、上記のいずれかのマイクロコンピュータと、前記マイクロコンピュータの処理対象となる情報の入力源と、前記マイクロコンピュータにより処理された情報を出力するための出力装置とを含むことを特徴とする。このようにすれば、電子機器に組み込まれるマイクロコンピュータとして、評価時と製品時とで同じものを使用できるようになり、電子機器の低コスト化や信頼性の向上を図れるようになる。また、マイクロコンピュータを電子機器に組み込んだ状態で行われる評価作業の効率化も図れるようになる。

【0020】

また本発明は、命令の実行処理を行うプロセッサと、エミュレーションメモリ及び少なくとも1つの他の外部メモリが接続可能な外部バスとを含むマイクロコンピュータのためのエミュレーション方法であって、マイクロコンピュータの評価時においては、前記エミュレーションメモリと前記外部メモリとで前記外部バスを共用させると共に、前記外部バスを介して前記エミュレーションメモリにアクセスし、該アクセスにより前記エミュレーションメモリから読み出される情報に基づいて前記プロセッサを動作させ、マイクロコンピュータの製品時においては、内部メモリから読み出される情報に基づいて前記プロセッサを動作させることを特徴とする。

【0021】

本発明によれば、マイクロコンピュータの評価時においては、外部メモリが接続される外部バスを介して、エミュレーションメモリへのアクセスが行われ、エミュレーションメモリを用いた、プログラム開発などの評価作業が可能になる。そして、本発明によれば、エミュレーションメモリに専用のバスを設けることなく、他の外部メモリ用の外部バスを介してエミュレーションメモリへのアクセスが行われる。従って、特に限定はされないが、評価用のマイクロコンピュータの端子と製品用のマイクロコンピュータの端子を同一形態のものにすることが可能になり、マイクロコンピュータの端子数の節約を図りながら最適な評価環境を実現できるようになる。

【0022】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【0023】

1. マイクロコンピュータ

図2に、本実施形態のマイクロコンピュータの構成例を示す。

【0024】

図2のマイクロコンピュータ10は、CPU（広義にはプロセッサ）12、バス制御部（BCU）14、内部ROM（広義には内部メモリ）16、エミュレーション指示部18、メモリ制御部20を含む。また、マイクロコンピュータ10の外部バス（外部バス端子）28には、汎用メモリ（フラッシュメモリ、DRAM）等の外部メモリ30や、高速SRAMなどで構成されるエミュレーションメモリ32が接続可能になっている。なお、外部バス28に、ゲートアレイなどの他の外部デバイスを接続してもよい。

【0025】

ここで、CPU12は、命令の実行処理を行うものであり、CPU12のCPUバス22はバス制御部14に接続される。またCPU12からのステータス信号STもバス制御部14に出力される。

【0026】

内部ROM16は、プログラムやデータなどの情報を記憶するものであり、内

部ROM16の内部ROMバス26はバス制御部14に接続される。なお、評価時等においては、内部ROM16をマイクロコンピュータ10に内蔵させないようにしもよい。

【0027】

エミュレーション指示部18は、エミュレーションモードがオンの時に、エミュレーション指示信号EMをアクティブにし、エミュレーションの指示をバス制御部14に対して行うものである。この場合、エミュレーションモードのオン、オフは、マイクロコンピュータ10にモード選択端子を設け、このモード選択端子を制御することにより切り替えてもよいし、マイクロコンピュータ10にモード選択レジスタを設け、このモード選択レジスタに記憶する情報を制御することにより切り替えてもよい。

【0028】

メモリ制御部20は、外部メモリ30、エミュレーションメモリ32、内部ROM16を制御するための各種の制御信号（チップイネーブル信号、メモリリード信号等）CNT1、CNT2、CNT3を出力する。特に、本実施形態では、同じ外部バス28に接続される外部メモリ30とエミュレーションメモリ32に対して、互いに別系統の制御信号CNT1、CNT2を出力している点に特徴がある。

【0029】

バス制御部14は、CPUバス22、内部ROMバス26、外部バス28などの制御を行うためのものである。バス制御部14は、CPU12からのアドレスやステータス信号STに基づいて、内部ROM16の内部ROMバス26を、CPUバス22に接続したり、外部メモリ30、エミュレーションメモリ32が接続される外部バス28を、CPUバス22に接続したりする等のバス制御を行う。

【0030】

そして、バス制御部14は、エミュレーション指示部18からの信号EMによりエミュレーションモード（内部ROM16をエミュレーションメモリ32でエミュレーションするモード）がオンであると指示された場合には、CPU12の

内部ROM16へのアクセスを、外部バス28を介したエミュレーションメモリ32へのアクセスに切り替える。即ち、CPUバス22を内部ROMバス26ではなく外部バス28に接続し、CPUバス22及び内部ROMバス26を介した内部ROM16へのCPU12のアクセスを、CPUバス22及び外部バス28を介したエミュレーションメモリ32へのアクセスに切り替える。

## 【0031】

このようにすることで、CPU12は、内部ROM16に格納されるプログラム（或いはデータ）ではなく、エミュレーションメモリ32に格納されるプログラムに基づいて動作するようになる。従って、ユーザは、プログラムが完成するまでは開発途中のプログラムをエミュレーションメモリ32にダウンロードしてプログラム開発を行うことができる。そして、開発が終了した後に完成したプログラムを内部ROM16に記憶させて、最終的な製品チップとすることが可能になる。

## 【0032】

そして、本実施形態では、外部メモリ30とエミュレーションメモリ32とで外部バス28を共用している。従って、図1（B）に示すようなエミュレーションメモリ716に専用のアドレスバス712、データバス714を設ける必要がない。このため、製品チップと評価チップの端子（ピン）数を同一にできるようになる。従って、製品チップをそのまま評価チップとして使えるようになり、製品の低コスト化を図れるようになる。

## 【0033】

また本実施形態によれば、評価チップ用の別パッケージを用意したり、製品チップと評価チップの端子の整合性をとる等の手間を省くことができる。

## 【0034】

また本実施形態によれば、製品チップをそのまま評価チップとして使用できるため、評価チップでは正常に動作していたプログラムが製品チップでは正常に動作しなくなるというような問題が生じなくなる。即ち、評価チップと製品チップの端子（ピン）数が異なると、端子が接続されるパッド（入力パッド、出力パッド、入出力パッド）のレイアウト配置やパッドへの信号線の引き回しが、評価チ

チップと製品チップとで異なったものになってしまう。そして、パッドのレイアウト配置やパッドへの信号線の引き回しが異なると、これらの信号線を通る信号の遅延時間も異なったものになってしまう。従って、例えば製品チップは高いクロック周波数で動作するが評価チップはそのような高いクロック周波数で動作しないというような問題が生じる。このため、評価チップについては低いクロック周波数で動作確認をせざるを得なくなり、実動作時とは異なる環境、信号のタイミングでのプログラム開発を強いられることになる。

## 【0035】

これに対して、本実施形態では、製品チップをそのまま評価チップとして使用できるため、実動作時と同じ環境、信号のタイミングでプログラム開発を行えるようになる。この結果、製品チップの信頼性を向上できると共に、開発期間の短縮化、製品コストの低減化を図れるようになる。

## 【0036】

なお、CPU12の内部ROM16へのアクセスを、エミュレーションメモリ32へのアクセスに切り替える場合、内部ROM16へのアクセスは、内部ROM16が割り当てられるメモリ空間のエリアへのアクセスであれば十分である。例えば評価時等において内部ROM16をマイクロコンピュータ10に内蔵させない場合を考える。この場合には、内部ROM16は物理的には存在しないため、CPU12が内部ROM16へアクセスしても、そのアクセスは、内部ROM16が割り当てられたメモリ空間のエリアへのアクセスにとどまることになる。

## 【0037】

さて、図2のように、外部メモリ30とエミュレーションメモリ32に外部バスを共用させると、次のような問題が生じる。

## 【0038】

即ち、内部ROM16に格納される命令（プログラム）のフェッチ及びデコードは、1クロックサイクル内で完了する必要がある。従って、エミュレーションモード時には、エミュレーションメモリ32の命令を1クロックサイクル内でフェッチ及びデコードしなければならない。

## 【0039】

ところが、外部バス 28 は、図 1 (B) と異なり、エミュレーションメモリ 32 に専用のバスではない。従って、他の外部デバイス 30 と全く同様にエミュレーションメモリ 32 を制御しようとする、1 クロックサイクル内での命令のフェッチ及びデコードを実現できなくなる問題が生じる。特に、クロック周波数が高くなると、この問題は更に深刻になり、エミュレーションメモリ 32 を用いたプログラム開発を、実動作時のクロック周波数で行えなくなるおそれがある。

#### 【0040】

そこで、本実施形態では、外部メモリ 30 を制御するための制御信号 CNT 1 とは別系統の制御信号 CNT 2 を用意し、この CNT 2 を用いてエミュレーションメモリ 32 からの読み出し動作等を制御するようにしている。より具体的には、CNT 1 に含まれるメモリリード信号よりも早いタイミングで CNT 2 に含まれるメモリリード信号がアクティブになるように信号を制御している。このようにすることで、外部バス 28 を外部メモリ 30 とエミュレーションメモリ 32 とで共用させた場合にも、1 クロックサイクル内で命令のフェッチ及びデコードを完了できるようになる。これにより、エミュレーションメモリ 32 を用いたプログラム開発を、実動作時のクロック周波数で行うことが容易になる。

#### 【0041】

図 3 に、本実施形態のマイクロコンピュータの詳細な構成例を示す。

#### 【0042】

ここでは CPU 12 は、ハーバードアーキテクチャのバス構成を採用している。CPU 12 の命令用アドレスバス 50、データ用アドレスバス 52 は、マルチプレクサ 40 に入力される。マルチプレクサ 40 は、CPU 12 からの命令/データ切り替え信号 DIS (ステータス信号の 1 つ) に基づいて、命令用アドレスバス 50 からのアドレスと、データ用アドレスバス 52 からのアドレスのいずれかを選択して、外部アドレスバス 54 に出力する。

#### 【0043】

また図 3 では、CPU 12 からの命令用、データ用アドレスバス 50、52 は、エミュレーションモードのオン、オフに依存せずに、外部アドレスバス 54 及び内部 ROM アドレスバス 55 の両方に接続される。



【 0 0 4 4 】

またCPU 1 2のデータ出力バス 5 8は、入出力パッドセル 4 8を介して外部データバス 5 6に接続される。また、CPU 1 2のデータ入力バス 6 0は、命令／データ切り替え部 4 2、データバス 6 2、入出力パッドセル 4 8を介して、外部データバス 5 6に接続される。

【 0 0 4 5 】

またCPU 1 2の命令フェッチ用バス 6 4は、内部ROM 1 6に接続されると共に、命令／データ切り替え部 4 2、データバス 6 2、入出力パッドセル 4 8を介して、外部データバス 5 6に接続される。

【 0 0 4 6 】

メモリ制御部 2 0は、第 1 のチップイネーブル信号CE 1、第 1 のメモリリード信号RD 1を外部メモリ 3 0に出力する。また、CE 1、RD 1とは別系統の第 2 のチップイネーブル信号CE 2、第 2 のメモリリードRD 2をエミュレーションメモリ 3 2に出力する。また第 3 のチップイネーブル信号CE 3、第 3 のメモリリード信号RD 3を内部ROM 1 6に出力する。即ち、メモリ制御部 2 0は、これらのCE 1、RD 1、CE 2、RD 2、CE 3、RD 3を用いて、外部メモリ 3 0、エミュレーションメモリ 3 2、内部ROM 1 6からのリード動作等を制御することになる。

【 0 0 4 7 】

モード選択端子MT、モード選択レジスタ 4 4、OR回路 4 6は、図 2 のエミュレーション指示部 1 8に相当するものである。即ち端子MTがHレベルになる、或いは、モード選択レジスタ 4 4にHレベルが記憶されると、エミュレーションモード指示信号EMがHレベルになり、エミュレーションモードのためのバス切り替え制御が行われるようになる。

【 0 0 4 8 】

なお、モード選択レジスタ 4 4には、図示しないバスを介してCPU 1 2がアクセス可能になっている。即ち、モード選択レジスタ 4 4の情報は、ソフトウェア処理により書き換え可能になっている。例えばマイクロコンピュータ 1 0をシステムボード（回路ボード）に実装してプログラム開発を行うユーザの中には、

プログラム完成後に、端子MTに与える信号レベルをHレベルからLレベルに切り替える（エミュレーションモードをオフにする）ことを望まないユーザもいる。端子MTの信号レベルを変更すると、動作環境が変化し、信号レベルの変更前に動作していたシステムが動作しなくなることも考えられるからである。また、端子MTの信号レベルの変更は、コスト増につながる可能性もあるからである。従って、このようなユーザには、CPU 1 2 がアクセス可能なモード選択レジスタ 4 4 を設けることで、その要望に応えることができる。モード選択レジスタ 4 4 を用いれば、端子MTの信号レベルを変更することなく、プログラムを用いてソフトウェア処理でエミュレーションモードのオン、オフを制御できるようになるからである。

【 0 0 4 9 】

一方、ユーザの中には、プログラムの完成後は、プログラムの書き換えを一切行いたくないユーザもいる。即ち、モード選択レジスタ 4 4 を用いる場合には、プログラム完成後に、エミュレーションモードがオフになるようにプログラムを書き換える必要がある。しかしながら、このようなプログラムの書き換えは、新たなバグの発生を引き起こす可能性がある。従って、このようなバグの発生を、嫌いプログラム完成後にはプログラムの書き換えを一切望まないユーザには、端子MTを設けることで、その要望に応えることができる。端子MTを用いれば、プログラムを書き換えることなく、端子MTの信号レベルを変更するだけでハードウェア的にエミュレーションモードのオン、オフを制御できるようになるからである。

【 0 0 5 0 】

次に、図 3 のマイクロコンピュータ 1 0 の命令のフェッチ動作について簡単に説明する。

【 0 0 5 1 】

命令フェッチの場合には、命令／データ切り替え信号 D I S が命令を指示するようになり、マルチプレクサ 4 0 が命令用アドレスバス 5 0 を選択する。これにより、外部アドレスバス 5 4 及び内部 R O M アドレスバス 5 5 には、命令用のアドレスが出力される。即ち、エミュレーションメモリ 3 2、内部 R O M 1 6 には

共に、命令用アドレスが入力されることになる。

【0052】

この時、モード選択レジスタ44にLレベルが記憶され、且つ端子MTもLレベルに設定されていると、エミュレーションモードがオフになり、信号EMがLレベルになる。また命令フェッチであるため、CPU12からの信号READ（ステータス信号の1つ）もアクティブになる。これにより、メモリ制御部20は、アドレスバス55からのアドレスをデコードし、内部ROMエリアのアドレスであれば、内部ROM16への第3のチップイネーブル信号CE3、第3のメモリリード信号RD3をアクティブにする。これにより、内部ROM16からの命令が、命令フェッチ用バス64を介してCPU12に読み出されるようになる。即ちCPU12は、内部ROM16に記憶されている命令をフェッチして実行することになる。

【0053】

一方、モード選択レジスタ44にHレベルが記憶される、或いは端子MTがHレベルに設定されると、エミュレーションモードがオンになり、信号EMがHレベルになる。すると、メモリ制御部20は、今度は、CE3、RD3ではなく、エミュレーションメモリ32への第2のチップイネーブル信号CE2、第2のメモリリード信号RD2をアクティブにする。また、命令フェッチであるため、信号DISが命令を指示するようになると共に信号READがアクティブになり、命令／データ切り替え部42がデータ入力バス60ではなく、命令フェッチ用バス64を選択するようになる。以上により、エミュレーションメモリ32からの命令が、外部データバス56、入出力パッドセル48、データバス62、命令／データ切り替え部42、命令フェッチ用バス64を介して、CPU12に読み出されるようになる。即ちCPU12は、内部ROM16ではなくエミュレーションメモリ32に記憶されている命令をフェッチして実行するようになる。

【0054】

なお、このようにエミュレーションメモリ32の命令が読み出されている間は、内部ROM16が内蔵するトライステートバッファ17の出力がトライステート状態になる。これにより、命令フェッチ用バス64でのデータの衝突が防止さ

れる。

【0055】

以上のように図3の実施形態では、CPU12の命令フェッチ時にエミュレーションモードがオフ（信号EMがLレベル）の場合には、通常通り、内部ROM16からの命令が命令用フェッチバス64を介してCPU12にフェッチされて実行される。一方、CPU12の命令フェッチ時にエミュレーションモードがオン（信号EMがHレベル）の場合には、内部ROM16ではなくエミュレーションメモリ32からの命令が外部データバス56を介してCPU12にフェッチされて実行されるようになる。

【0056】

従って、プログラムの完成前においてはユーザは、端子MT又はモード選択レジスタ44を用いてエミュレーションモードをオンにし、エミュレーションメモリ32に開発途中のプログラムを随時ダウンロードしながらプログラム開発を行う。そして、プログラムの開発が完了すると、ユーザは、完成後のプログラムを内部ROM16に記憶させる（マスクパターンを作成する）。そして、端子MT又はモード選択レジスタ44を用いてエミュレーションモードをオフにする。これにより、内部ROM16からの命令に基づいてCPU12が動作する製品チップが完成する。

【0057】

そして、本実施形態によれば、エミュレーションメモリ32に専用のアドレスバス、データバスは設けられず、外部アドレスバス、外部データバス54、56が外部メモリ30とエミュレーションメモリ32で共用される。従って、エミュレーションメモリ32からの命令（プログラム）でCPU12が動作する評価チップと、内部ROM16からの命令でCPU12に動作する製品チップとが、端子数、パッドのレイアウト配置、信号線の引き回し等が異なる同一チップとなる。このため、製品チップそのものを用いてプログラムを開発できるようになる。この結果、評価時と製品時（実動作時）とで動作環境、信号のタイミングが異なることに起因して、評価時には正常に動作していたが製品時には動作しなくなる等の問題を効果的に解決できるようになる。

【0058】

さて、以上のように外部アドレスバス、外部データバス54、56を外部メモリ30とエミュレーションメモリ32で共用する手法を採用することで、製品チップと評価チップを同一チップにできる利点を得ることができる。しかしながら、その反面、この手法によると、エミュレーションメモリ32からの命令の読み出しが間に合わなくなるという問題が生じる。

【0059】

即ち、外部アドレスバス、外部データバス54、56は、エミュレーションメモリ32に専用のアドレスバス、データバス（図1（B）の712、714参照）ではなく、元々、外部メモリ30用に設計されたアドレスバス、データバスである。そして、外部メモリ30からの情報の読み出しについては、通常、時間的な余裕が十分にある。これに対して、CPU12による命令のフェッチ及びデコードは1クロックサイクル内で完了する必要があるため、エミュレーションメモリ32からの命令の読み出しについては時間的な余裕がない。

【0060】

そこで、本実施形態では、外部メモリ30用のCE1、RD1とは別系統のチップイネーブル信号CE2、メモリリード信号RD2をメモリ制御部20に出力させている。これにより、外部アドレスバス、外部データバス54、56を外部メモリ30とエミュレーションメモリ32で共用しながらも、エミュレーションメモリ32からの命令のフェッチ及びデコードを、1クロックサイクル内で完了できるようになる。以上のことについて図4の信号波形図を用いて詳細に説明する。

【0061】

図4では、CPU12が次のような命令を実行する。

- ・命令(1)    l d     %r2, 0x00
- ・命令(2)    l d     %r1, [%r9]
- ・命令(3)    a d d   %r4, %r1
- ・命令(4)    s u b   %r5, %r1

上記において、命令(1)は、CPU12の汎用レジスタr2にデータ0x0

0をロードするという命令である。命令(2)は、汎用レジスタr9に格納されているアドレスである外部メモリ30のアドレスからのデータを、汎用レジスタr1にロードする命令である。即ち外部メモリ30からのデータを汎用レジスタr1にロードする命令である。命令(3)は、汎用レジスタr4のデータとr1のデータを加算する命令である。命令(4)は、汎用レジスタr5のデータからr1のデータを減算する命令である。

【0062】

これらの命令(1)、(2)、(3)、(4)は、図4のB1に示すようにパイプライン処理により実行される。なおB1において、Fは命令のフェッチを、Dは命令のデコードを、Rはレジスタのリードを、Aはアドレスの計算を、Eは命令の実行を、Wはレジスタへのライトを表す。

【0063】

図4のB2に示すBCLKは、バスサイクルを決めるバスクロックであり、ここでは、BCLKはCPU12の動作クロックにもなっている。

【0064】

図4ではB3に示すように、まずエミュレーションメモリ32からの命令の読み出しが行われ、次に、外部メモリ30からのデータの読み出しが行われ、次に、エミュレーションメモリ32からの命令の読み出しが行われる。

【0065】

即ち、図4のB4、B5、B6に示すように、命令(1)、(2)、(3)をエミュレーションメモリ32から読み出すためのアドレスが外部アドレスバス54に出力される。これらのアドレスは、CPU12から命令用アドレスバス50、マルチプレクサ40を介して外部アドレスバス54に出力される。これにより、B7、B8、B9に示すように、各アドレスに対応する命令(命令データ)がエミュレーションメモリ32から読み出され、外部データバス56に出力される。そして、これらの命令は、外部データバス56から入出力パッドセル48、データバス62、命令/データ切り替え部42、命令フェッチ用バス64を介して、CPU12にフェッチされデコードされる。

【0066】

また、図4のB10では、外部メモリ30への読み出しアドレスが、CPU12からデータ用アドレスバス52、マルチプレクサ40を介して外部アドレスバス54に出力される。このアドレスは、上記命令(2)により指定されるアドレス[%r9]である。これにより、B11に示すように、外部メモリ30からのデータが外部データバス56に出力され、入出力パッドセル48、データバス62、命令/データ切り替え部42、データ入力バス60を介してCPU12に読み出される。

## 【0067】

また、図4のB12では、命令(4)をエミュレーションメモリ32から読み出すためのアドレスが外部アドレスバス54に出力される。これによりB13に示すように、このアドレスに対応する命令がエミュレーションメモリ32から外部データバス56に出力される。

## 【0068】

外部メモリ30からデータを読み出す場合には、図4のB14、B15に示すように第1のチップイネーブル信号CE1、第1のメモリリード信号RD1をアクティブにする(Lレベルにする)。一方、エミュレーションメモリ32から命令を読み出す場合には、B16~B21に示すように、第2のチップイネーブル信号CE2、第2のメモリリード信号RD2をアクティブにする。

## 【0069】

この時、B15に示すように、RD1はBCLKの立ち下がりに同期してアクティブになる。一方、B18~B21に示すように、RD2は、BCLKの立ち上がりに同期してアクティブになる。より具体的には、BCLKの立ち上がりから所与の遅延時間(遅延素子における遅延時間)TD経過後にアクティブになる。即ち、RD2は、RD1よりも早いタイミングでアクティブになるように制御される。

## 【0070】

このようにRD2を早いタイミングでアクティブにすることで、CPU12による命令のフェッチ(F)及びデコード(D)を、1クロックサイクル内で完了できるようにする。

【 0 0 7 1 】

即ち、他の外部メモリ 3 0 に使用する R D 1 を用いてエミュレーションメモリ 3 2 からの命令の読み出しを行うと、R D 1 は B C L K の立ち下がりに同期してアクティブになるため、C P U 1 2 による命令のフェッチ及びデコードが 1 クロックサイクル内で完了できなくなる問題が生じる。特に、B C L K のクロック周波数が高くなった場合には、この問題が生じる可能性は更に高まる。

【 0 0 7 2 】

この場合、例えば、評価時、即ちエミュレーションメモリ 3 2 からの命令の読み出し時においては、B C L K のクロック周波数を低くするようにすれば、上記問題を解消できる。しかしながら、これでは、実動作時のクロック周波数とプログラム開発時のクロック周波数が異なることになってしまい、プログラム開発時には正常に動作していたプログラムが実動作時には正常に動作しなくなるという問題を招く。従って、製品チップと評価チップを同一チップにできるという本実施形態の利点が、実質的に失われてしまう。

【 0 0 7 3 】

これに対して、図 4 では、R D 1 と別系統の R D 2 を用意し、B 1 8 ～ B 2 1 に示すように R D 2 を早いアクティブでアクティブにしているため、エミュレーションメモリ 3 2 からの命令のフェッチ及びデコードを 1 クロックサイクル内で適正に完了できるようになる。従って、実動作時と同一のクロック周波数でプログラム開発をできるようになり、プログラム開発が終了し完成後のプログラムを内部 R O M 1 6 に記憶させた場合にも、問題なくプログラムが正常に動作するようになる。従って、外部アドレスバス、外部データバス 5 4、5 6 の共用により製品チップと評価チップを同一チップにできるという本実施形態の利点を、より生かせるようになる。

【 0 0 7 4 】

なお、図 4 の B 2 2 では、外部メモリ 3 0 からのデータの読み出しにウェイトが挿入されているため、C P U 1 2 のパイプライン処理がストールしている。即ち、外部アドレスバス 5 4、外部データバス 5 6 には、読み出しや書き込みスピードが異なる種々の外部メモリ 3 0 が接続される可能性がある。従って、信号 C



E1、RD1がアクティブになる期間に対してはウェイトの挿入が可能になっており、読み出しや書き込みスピードが異なる種々の外部メモリ30に対応できるようになっている。

【0075】

一方、信号CE2、RD2が出力されるエミュレーションメモリ32については、上述したように1クロックサイクルで命令を読み出す必要がある。従って、CE2、RD2がアクティブになる期間に対しては、CE1、RD1とは異なり、ウェイトの挿入は行われなくなる。

【0076】

さて、図3では、1ビットのモード選択端子MTによりエミュレーションモードのオン、オフを選択できるようになっているが、この端子MTを例えば複数ビットにし、他のモードを選択できるようにしてもよい。

【0077】

例えば図5では端子MTを2ビットにしている。そして、端子MTが(00)に設定された場合には、エミュレーションメモリ32からブートするモードが選択される。即ち、リセット後にCPU12が最初にアクセスするアクセス先がエミュレーションメモリ32になるモード(エミュレーションモードがオンになるモード)が選択される。また端子MTが(01)に設定された場合には、外部メモリ30からエミュレーションメモリ32に情報を転送した後に、エミュレーションメモリ32からブートするモードが選択される。また端子MTが(10)に設定された場合には、内部ROM16からブートするモードが選択される。即ち、リセット後のCPU12の最初のアクセス先が内部ROM16になるモードが選択される。また端子MTが(11)に設定された場合には、外部メモリ30からブートするモードが選択される。即ち、リセット後のCPU12の最初のアクセス先が外部メモリ30になるモードが選択される。

【0078】

このように、端子MTを用いて各種モードを選択できるようにすることで、プログラム開発の更なる効率化を図れるようになる。

【0079】

例えば、プログラムの開発途中においては端子MTを（00）に設定する。このようにすることで、リセット後は常にエミュレーションメモリ32からブートするようになる。従って、エミュレーションメモリ32に記憶されたプログラム（命令）によりCPU12が動作するようになり、エミュレーションメモリ32に随時プログラムをダウンロードしながらプログラム開発を行えるようになる。

【0080】

また、プログラムの開発が終了し完成したプログラムを内部ROM16に記憶させた後は、端子MTを（10）に設定する。このようにすることで、リセット後は常に内部ROM16からブートするようになる。従って、マイクロコンピュータ10を製品チップとして使用できるようになる。即ち、端子MTの設定を（00）から（10）に変更するだけで、評価チップを、製品チップとして使用できるようになる。

【0081】

また、リセット後に外部メモリ30からブートしたいユーザは、端子MTを（11）に設定すればよい。即ち、ユーザの中には、ユーザのシステムボード上の外部メモリ30に、リセット後に最初に起動させるプログラムを格納することを望むユーザもいる。このようなユーザには、内部ROM16は不要であり、電子機器の低コスト化のために内部ROM16を内蔵しないタイプのマイクロコンピュータを提供することが望ましい。このような場合にも本実施形態によれば、端子MTを（11）に設定するだけで、このようなユーザの要望に容易に対応できるようになる。

【0082】

次に、端子MTを（01）にした場合のモード（以下、OTP（One Time E P r o m）モードと呼ぶ）について図6を用いて詳細に説明する。

【0083】

OTPモードにおいては、リセット後に、図6のC1に示すように、フラッシュメモリ31（外部メモリの1つ）からのプログラム（情報）がマイクロコンピュータ10が内蔵するDMAコントローラ80を介してエミュレーションメモリ32に転送される。即ち、エミュレーションメモリ32は、処理の高速化のため

に、通常、高速SRAMにより構成される。従って、電源が切れてしまうと、エミュレーションメモリ32に記憶されていたプログラムは失われてしまう。このため、電源を切る毎に、エミュレーションメモリ32にプログラムをダウンロードする手間が必要になり、プログラム開発の作業が煩雑化する。

【0084】

そこで、このような場合に本実施形態では、端子MTを(01)に設定する。このようにすれば、フラッシュメモリ(EEPROM)31に記憶されていたプログラムが、リセット後に自動的にエミュレーションメモリ32に転送されるようになる。そして、フラッシュメモリ31は不揮発性のメモリであるため、電源が切れた場合にもフラッシュメモリ31に記憶されるプログラムは消失しない。従って、電源が切れた場合にも、エミュレーションメモリ32にプログラムを再度ダウンロードする必要がなくなり、プログラム開発の効率化を図れるようになる。

【0085】

以上のように、複数ビットの端子MTを設け、この端子MTにより上記した種々のモードを選択できるようにすることで、幅広い層のユーザの要望に応えることができるようになると共にプログラム開発の効率化や自由度を増すことができるようになる。

【0086】

2. 電子機器

次に、本実施形態のマイクロコンピュータを含む電子機器に関して説明する。

【0087】

例えば図7(A)に、電子機器の1つであるカーナビゲーションシステムの内部ブロック図を示し、図8(A)に、その外観図を示す。カーナビゲーションシステムの操作はリモコン510を用いて行われ、GPSやジャイロからの情報に基づいて位置検出部520が車の位置を検出する。地図などの情報はCDROM530(情報記憶媒体)に格納されている。メモリ540は画像処理や音声処理の際の作業領域になるメモリであり、生成された画像は画像出力部550を用いて運転者に表示される。また、生成されたカーナビゲーション用のガイド音声は

、音出力部 535 を用いて運転者に出力される。マイクロコンピュータ 500 は、リモコン 510、位置検出部 520、CDROM 530 などの情報入力源から情報を入力し、種々の処理を行い、処理後の情報を、画像出力部 550、音出力部 535 などの出力装置を用いて出力する。

【0088】

図 7 (B) に、電子機器の 1 つであるゲーム装置の内部ブロック図を示し、図 8 (B) に、その外観図を示す。このゲーム装置では、ゲームコントローラ 560 からのプレーヤの操作情報、CDROM 570 からのゲームプログラム、IC カード 580 からのプレーヤ情報等に基づいて、メモリ 590 を作業領域としてゲーム画像やゲーム音を生成し、画像出力部 610、音出力部 600 を用いて出力する。

【0089】

図 7 (C) に電子機器の 1 つであるプリンタの内部ブロック図を示し、図 8 (C) にその外観図を示す。このプリンタでは、操作パネル 620 からの操作情報、コードメモリ 630 及びフォントメモリ 640 から文字情報に基づいて、ビットマップメモリ 650 を作業領域として、印刷画像を生成し、プリント出力部 660 を用いて出力する。またプリンタの状態やモードを表示パネル 670 を用いてユーザに伝える。

【0090】

本実施形態のマイクロコンピュータによれば、電子機器（システムボード）に組み込むマイクロコンピュータのチップとして、評価時と製品時（実動作時）とで同一のチップを使用できるようになる。従って、評価時と製品時とで、マイクロコンピュータのチップのソケットやマイクロコンピュータへの配線の引き回しを同一にできるようになり、電子機器の低コスト化を図れるようになる。また、評価時には正常に動作していたのに製品時には正常に動作しなくなるというような事態も効果的に防止できる。また、マイクロコンピュータを電子機器に組み込んだ状態で行われるプログラム開発の効率化を図ることができ、開発期間の短縮化や電子機器の低コスト化を図れる。

【0091】

なおマイクロコンピュータを適用できる電子機器としては、上記以外にも例えば、携帯電話（セルラーフォン）、PHS、ページャ、携帯型情報端末、デジタルカメラ、ハードディスク装置、光ディスク（CD、DVD）装置、光磁気ディスク（MO）装置、オーディオ機器、電子手帳、電子卓上計算機、POS端末、タッチパネルを備えた装置、プロジェクタ、ワードプロセッサ、パーソナルコンピュータ、テレビ、ビューファインダ型、又はモニタ直視型のビデオテープレコーダなど種々のものを考えることができる。

【0092】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0093】

例えば、エミュレーションモードがオンの時に、プロセッサ（CPU）のバスを外部バスに接続する手法も、図3で説明したものに限定されず、種々の変形実施が可能である。

【0094】

また、エミュレーションモードのオン、オフの設定は、モード選択レジスタやモード選択端子により行うことが特に好ましいが、他の手法を用いることも可能である。

【0095】

また、外部メモリを制御するための第1の制御信号や、エミュレーションメモリを制御するための第2の制御信号も、図3、図4で説明したような信号が特に望ましいが、これに限定されるものではない。

【0096】

また、本発明の電子機器の構成も、図7（A）～図8（C）で説明したものに限定されるものでなく、種々の変形実施が可能である。

【図面の簡単な説明】

【図1】

図1（A）、（B）は、製品チップと評価チップを別チップにする従来の手法について説明するための図である。

【図 2】

本実施形態のマイクロコンピュータの構成例を示すブロック図である。

【図 3】

本実施形態のマイクロコンピュータの更に詳細な構成例を示すブロック図である。

【図 4】

本実施形態のマイクロコンピュータの動作を説明するための信号波形図である。

【図 5】

モード選択端子MTにより設定可能な各種のモードについて説明するための図である。

【図 6】

OPTモードについて説明するための図である。

【図 7】

図 7 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図 8】

図 8 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

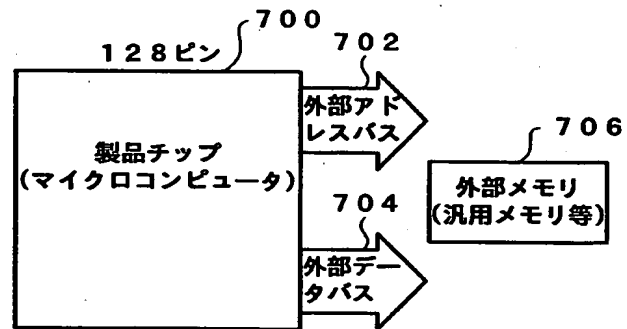
- 10    マイクロコンピュータ
- 12    CPU
- 14    バス制御部
- 16    内部ROM (内部メモリ)
- 17    トライステートバッファ
- 18    エミュレーション指示部
- 20    メモリ制御部
- 22    CPUバス
- 26    内部ROMバス
- 28    外部バス

30	外部メモリ
31	フラッシュメモリ
32	エミュレーションメモリ
40	マルチプレクサ
42	命令／データ切り替え部
44	モード選択レジスタ
46	OR回路
48	入出力パッドセル
50	命令用アドレスバス
52	データ用アドレスバス
54	外部アドレスバス
55	内部ROMアドレスバス
56	外部データバス
58	データ出力バス
60	データバス
62	データ入力バス
64	命令フェッチ用バス
80	DMAコントローラ

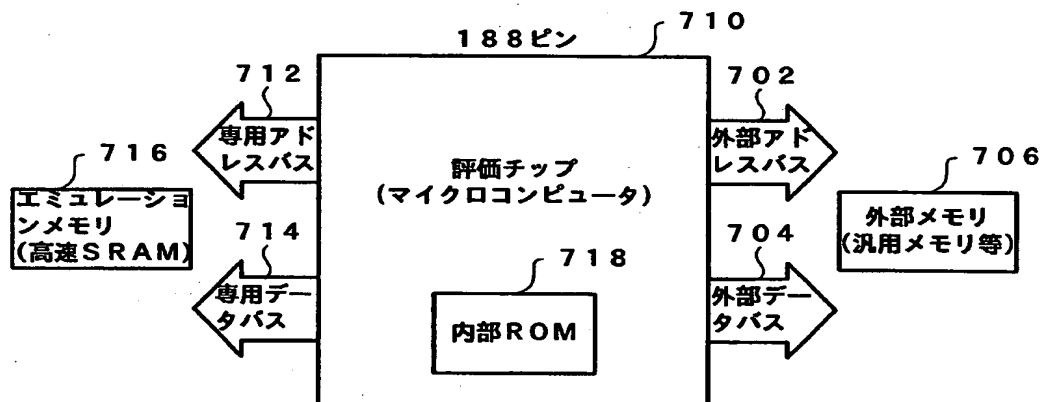
【書類名】 図面

【図 1】

(A)

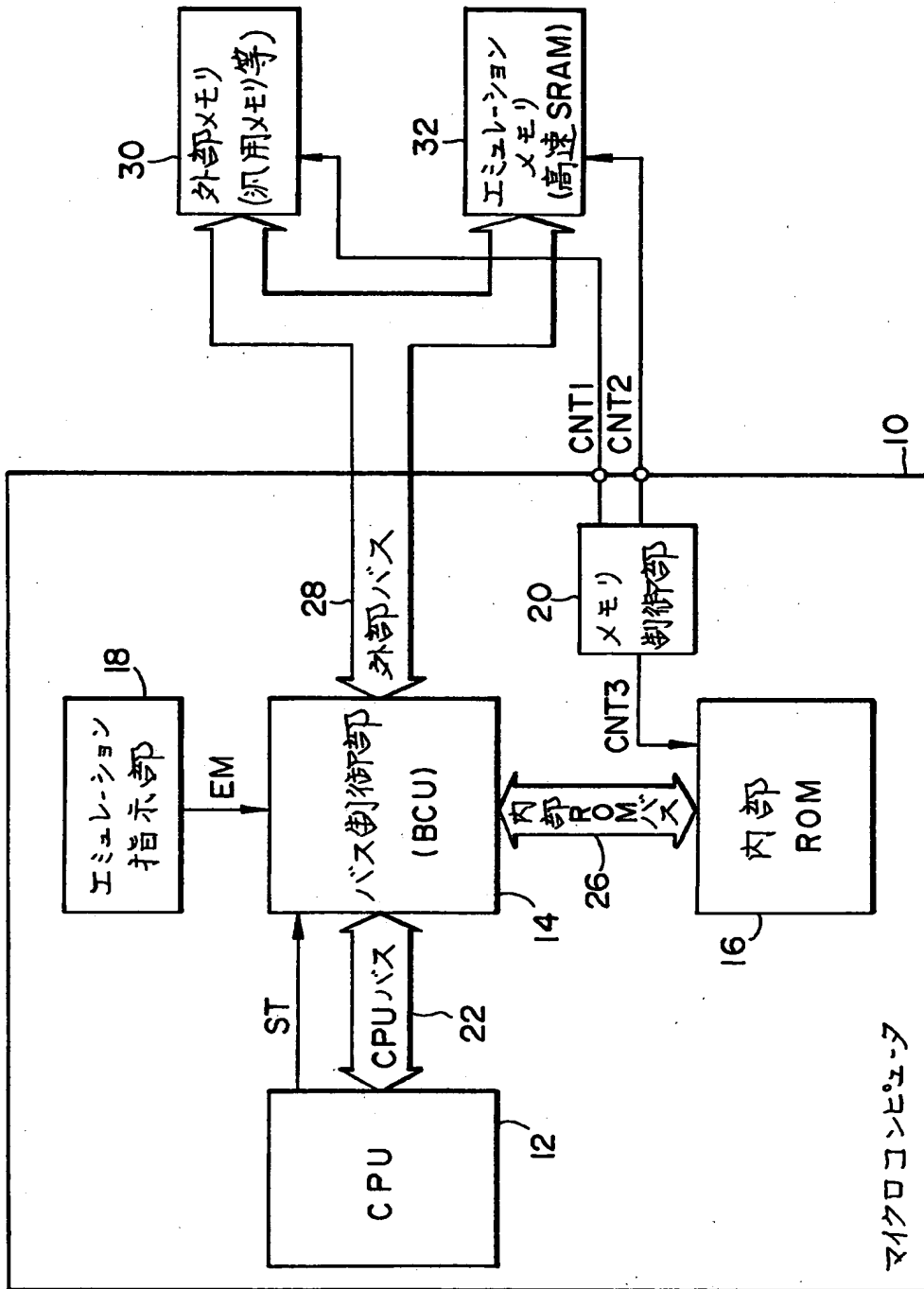


(B)

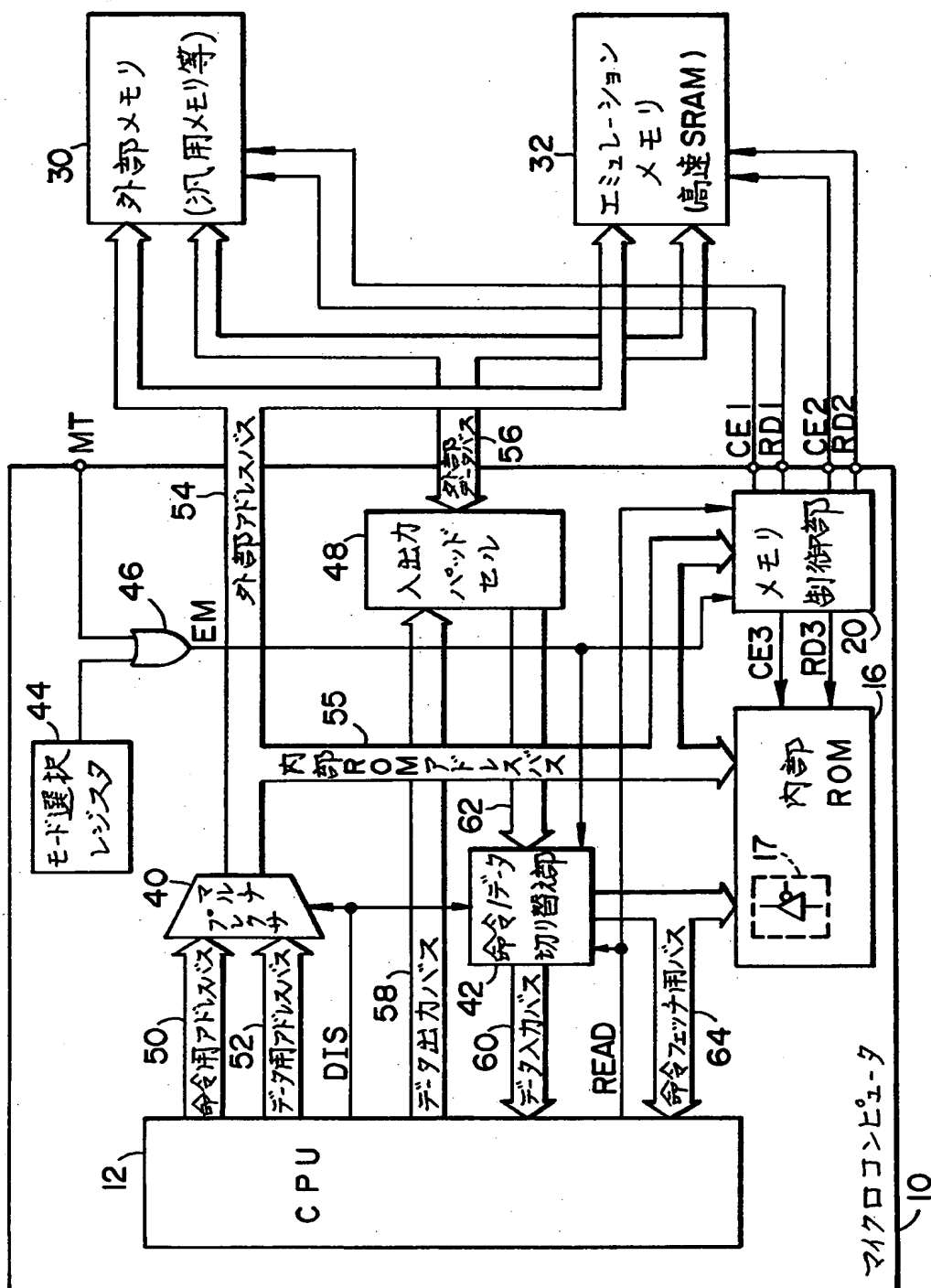




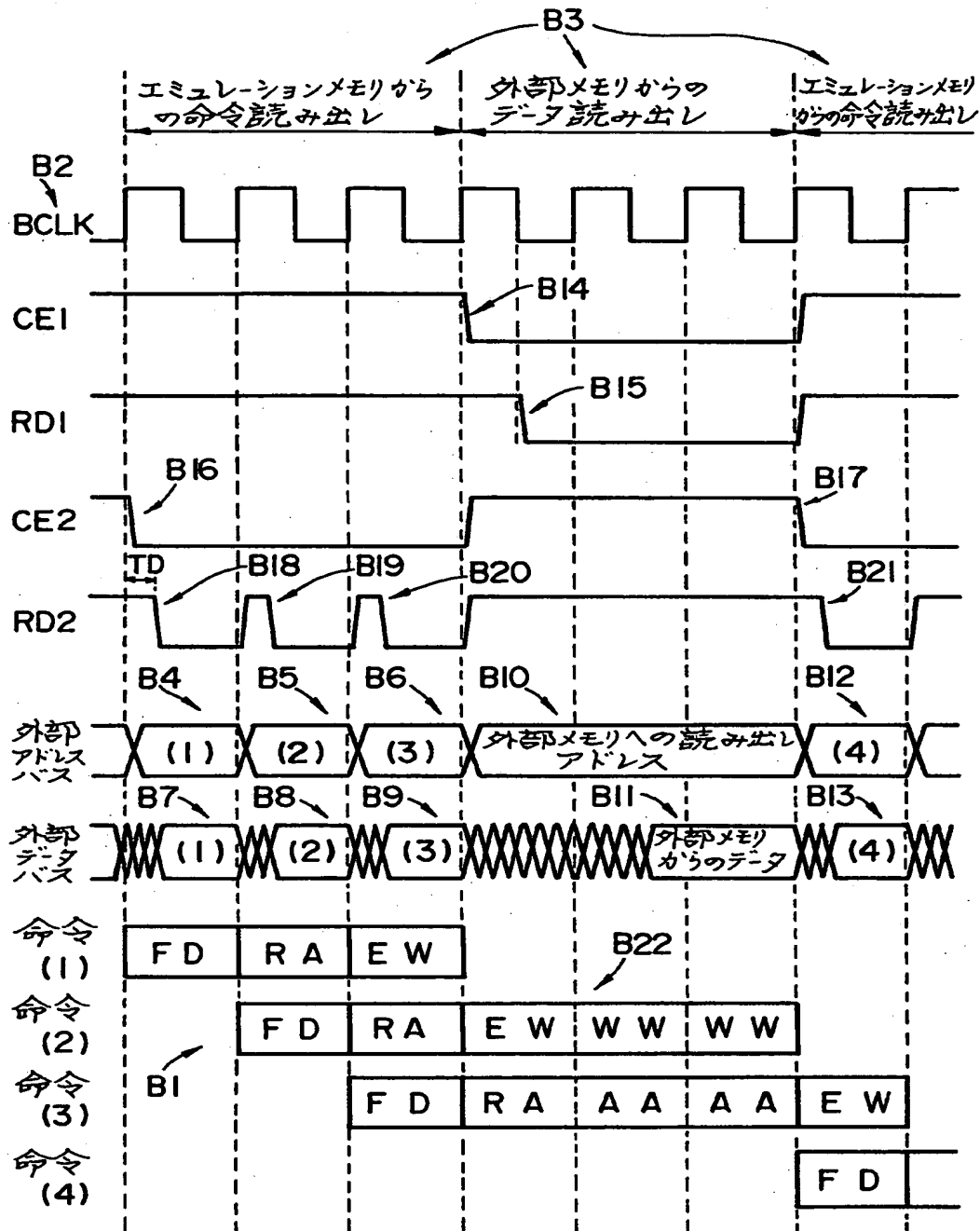
【図 2】



【図 3】



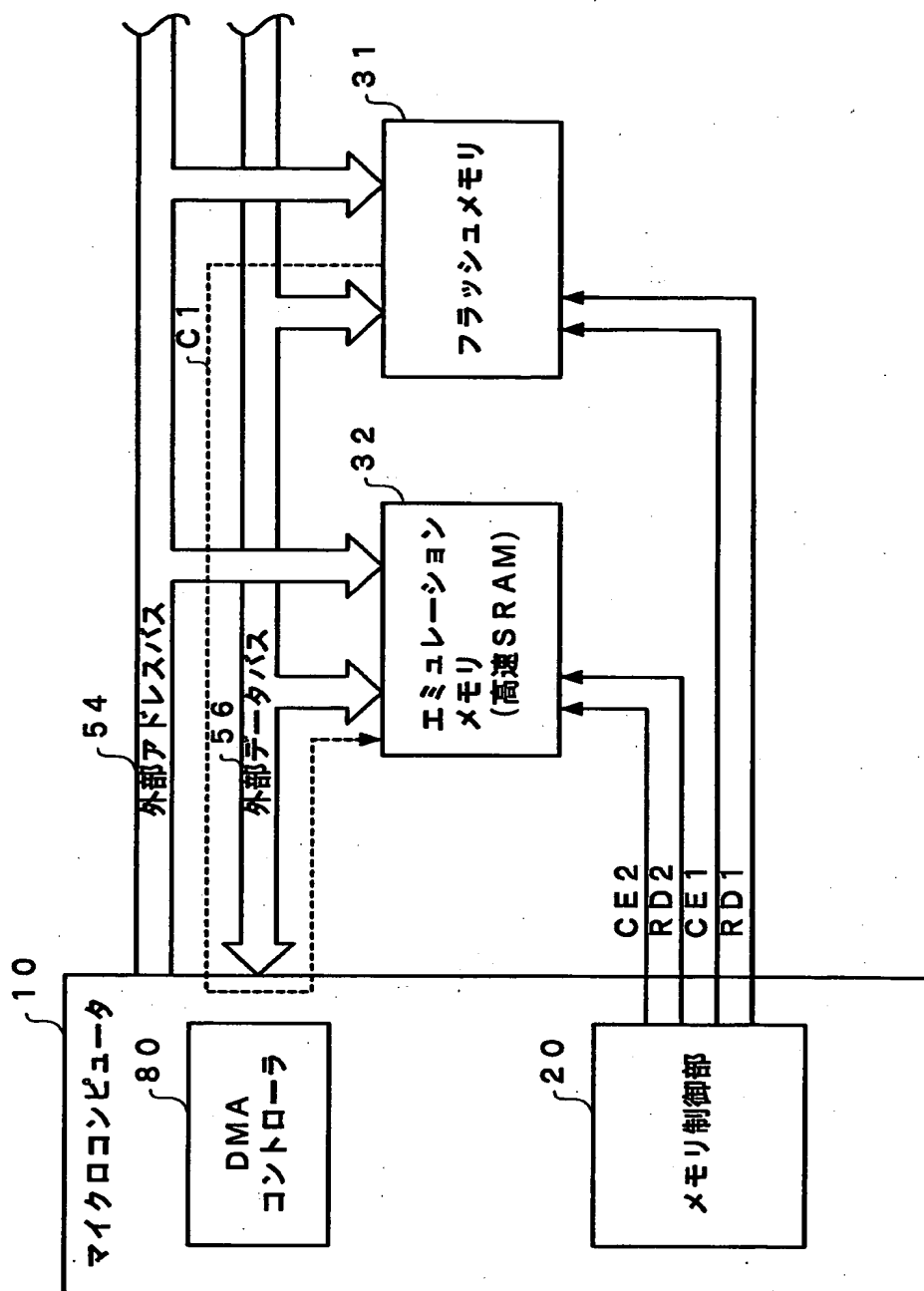
【図4】



【図 5】

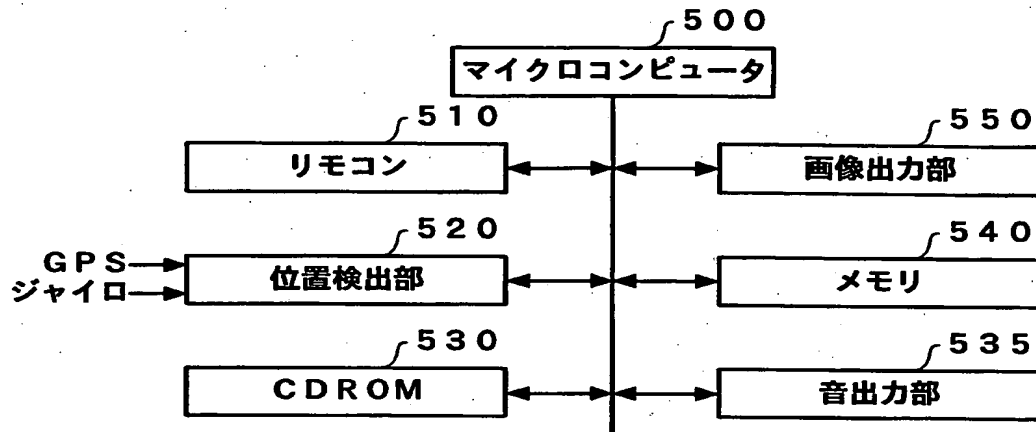
端子MT	
0 0	エミュレーションメモリからブート
0 1	エミュレーションメモリに情報を転送後、エミュレーションメモリからブート (OTPモード)
1 0	内部ROMからブート
1 1	外部メモリからブート

【図 6】

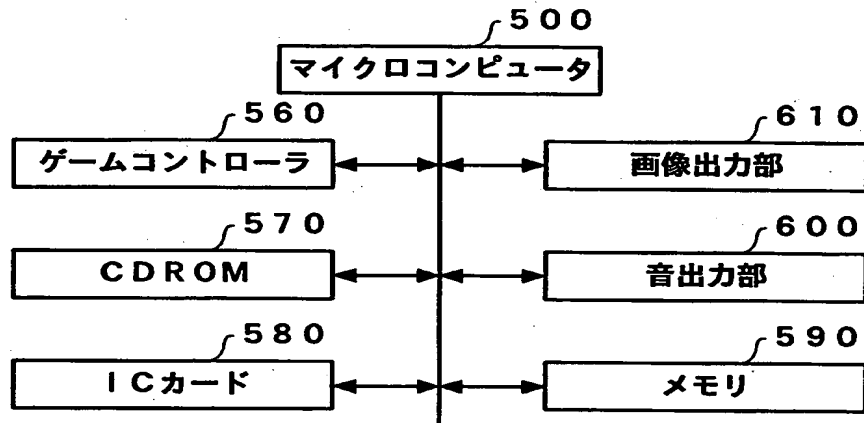


【図 7】

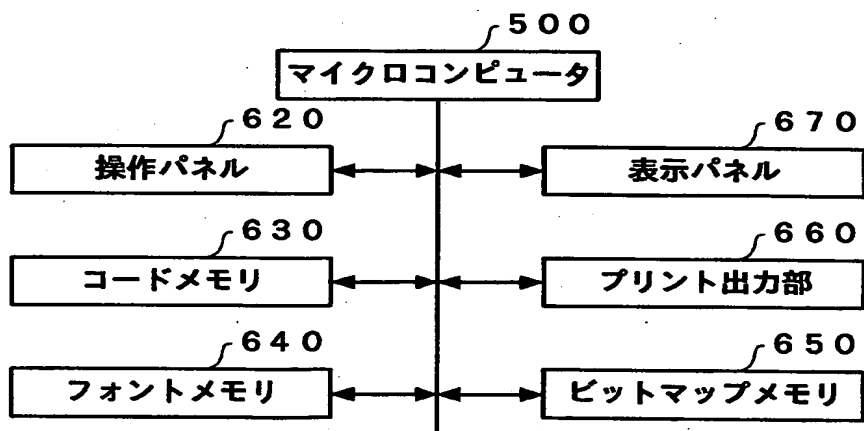
(A)



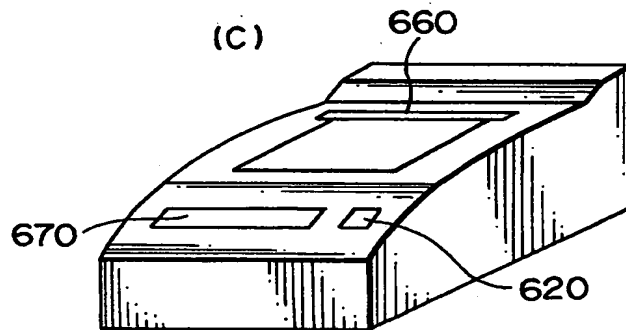
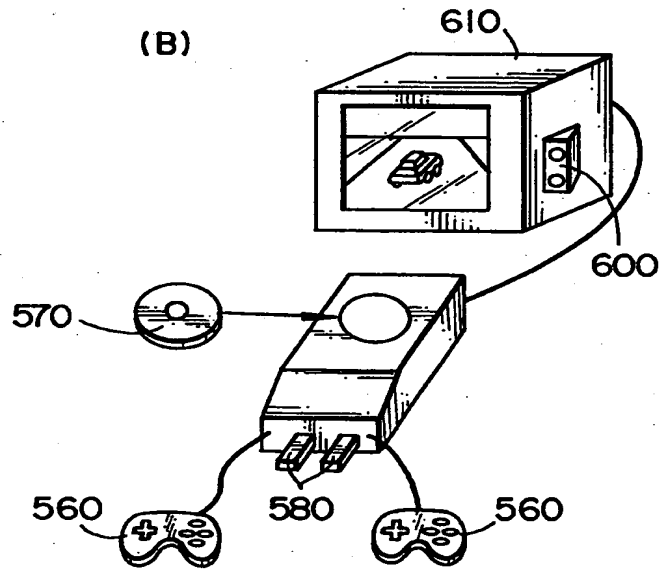
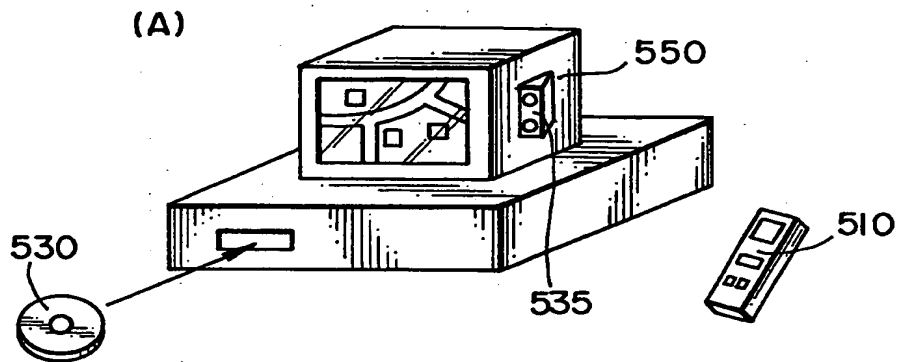
(B)



(C)



【图 8】



【書類名】 要約書

【要約】

【課題】 端子数の節約を図りながら最適な評価環境を実現できるマイクロコンピュータ、電子機器及びエミュレーション方法を提供すること。

【解決手段】 外部メモリ30とエミュレーションメモリ32で外部バス28を共用し、エミュレーションモード時にCPU12の内部ROM16へのアクセスを外部バス28を介したエミュレーションメモリ32へのアクセスに切り替える。エミュレーションモードのオン、オフはモード選択端子やモード選択レジスタにより切り替える。外部メモリ30の制御信号CNT1とは別系統の制御信号CNT2でエミュレーションメモリ32を制御する。CNT2のメモリリード信号がCNT1のメモリリード信号よりも早いタイミングでアクティブになるようにし、1クロックサイクル内で命令のフェッチ、デコードを完了させる。エミュレーションメモリ32、内部ROM16又は外部メモリ30からブートする各モードやOPTモードを選択するためのモード選択端子を設ける。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社